

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-48669

(43) 公開日 平成10年(1998)2月20日

(61) Int.Cl*	種別記号	序内整理番号	F 1	技術表示箇所
G 0 2 F	1/136	5 0 0	G 0 2 F	1/136
G 0 9 F	9/33		G 0 9 F	9/33
H 0 1 L	29/788		H 0 1 L	29/78
	21/336			6 1 6 V
				6 1 6 U
				6 1 6 T
			審査請求 有	請求項の数18 O L (全 19 頁) 最終頁に続く

(21) 出願番号 特願平8-205712

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22) 出願日 平成8年(1996)8月5日

(72) 発明者 平野 直人

東京都港区芝五丁目7番1号 日本電気株式会社内

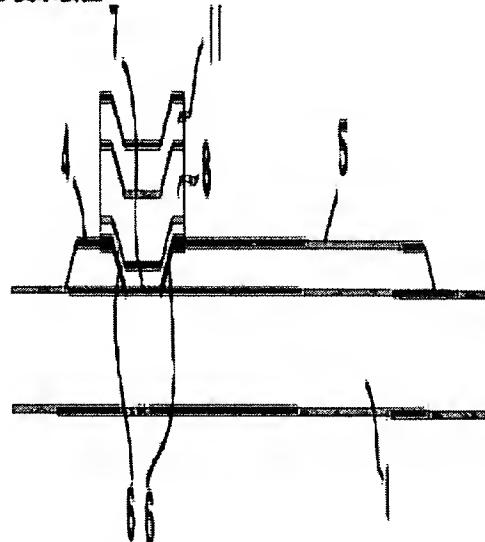
(74) 代理人 弁理士 若林 宏

(54) 【発明の名称】 液晶トランジスター、その製造方法および表示装置

(57) 【要約】

【課題】 本発明は、外周光の反射・散乱特性が良好で、TFTと画素電極の形成に関わる工程を簡略化でき、低コスト化が可能で、液晶トランジスターおよびその製造方法を提供することにある。また、このTFTを用いた表示特性の優れた反射型表示装置を提供することを目的とする。

【解決手段】 絶縁基板上に、導電材料で形成されたソース電極5およびドレイン電極4と、このソース電極およびドレイン電極を接続する真性半導体層で形成されたチャンネル層7と、このソース電極およびドレイン電極とチャンネル層との接続面に形成されたp型またはn型の不純物半導体層6と、この半導体チャンネル層7上に絶縁層8を介して設けられたゲート電極11とを有する TFT型液晶トランジスターにおいて、前記ソース電極5およびドレイン電極4が少なくとも1層のA1系材料からなる層で形成されており、このソース電極5を表示装置の反射画素電極として用いることが可能な液晶トランジスター。



【特許請求の範囲】

【請求項 1】 裸線基板上に、導電材料で形成されたソース電極およびドレイン電極と、このソース電極およびドレイン電極を接続する真性半導体層で形成されたチャンネル層と、このソース電極およびドレイン電極とチャンネル層との接続面に形成されたp型またはn型の不純物半導体層と、この半導体チャンネル層上に絶縁層を介して設けられたゲート電極とを有する順スカラ型薄膜トランジスターにおいて、前記ソース電極およびドレイン電極が少なくとも1層のA1系材料からなる層で形成されており、このソース電極を表示装置の反射画素電極として用いることが可能な薄膜トランジスター。

【請求項 2】 前記ソース電極およびドレイン電極が、A1系材料からなる層で形成されており、このソース電極を表示装置の反射画素電極として用いることが可能な薄膜トランジスター。

【請求項 3】 前記ソース電極およびドレイン電極が、コンタクト層(前記不純物半導体層及びA1系材料とオーミックコンタクト可能な導電材料から成る層)を介して、下層とし、A1系材料から成る反射層を上層とする複層構造であることを特徴とする請求項 1記載の薄膜トランジスター。

【請求項 4】 前記ソース電極およびドレイン電極が、A1系材料から成る反射層を下層とし、透明な導電材料から成るコンタクト層を上層とする複層構造であることを特徴とする請求項 1記載の薄膜トランジスター。

【請求項 5】 前記ソース電極およびドレイン電極が、前記ゲート電極下部ではA1系材料から成る反射層を下層とし、且つ前記反射層とのエッチング選択比が高い導電材料から成るコンタクト層を上層とする複層構造であり、また、ゲート電極下部以外の部分では前記反射層から成る单層構造であることを特徴とする請求項 1記載の薄膜トランジスター。

【請求項 6】 前記A1系材料から成るソース電極が、光を散乱する凹凸を表面に有することを特徴とする請求項 1～5のいずれかに記載の薄膜トランジスター。

【請求項 7】 前記のソース電極は、前記ゲート電極の下部では平坦面を有し、ゲート電極下部以外の部分では表面に光を散乱する凹凸を有することを特徴とする請求項 6記載の薄膜トランジスター。

【請求項 8】 裸線基板上に、A1系材料から成る層を少なくとも1層形成しソース電極およびドレイン電極を形成する工程と、

前記ソース電極およびドレイン電極上にp型あるいはn型不純物半導体層を選択的に形成する工程と、ソース電極、ドレイン電極および不純物半導体層が形成されたこの裸線基板上に真性半導体層、絶縁層および導電層を順次成膜する工程と、

前記導電層をゲート電極パターンに加工する工程と、前記ゲート電極パターンをマスクとして用いて前記真性

半導体層と絶縁層をバーニングしてチャンネル層とゲート絶縁層を形成し、同時にゲート電極下部以外の部分のソース電極を露出させる工程とを含むことを特徴とする薄膜トランジスターの製造方法。

【請求項 9】 前記ソース電極およびドレイン電極を形成する工程が、裸線基板上にA1系材料の1層を成膜形成し、これをバーニングしてソース電極およびドレイン電極形状を形成し、この表面の酸化膜を除去する工程からなることを特徴とする請求項 8記載の薄膜トランジスターの製造方法。

【請求項 10】 前記ソース電極およびドレイン電極を形成する工程が、裸線基板上にコンタクト層を形成し、この層の上にさらに前記A1系材料から成る反射層を成膜層し、このコンタクト層と反射層をバーニングしてソース電極およびドレイン電極形状を形成する工程からなることを特徴とする請求項 8記載の薄膜トランジスターの製造方法。

【請求項 11】 前記ソース電極およびドレイン電極を形成する工程が、裸線基板上にA1系材料から成る反射層を形成し、この層の上にさらに透明な導電材料から成るコンタクト層を成膜層し、このコンタクト層と反射層をバーニングしてソース電極およびドレイン電極形状を形成する工程からなることを特徴とする請求項 8記載の薄膜トランジスターの製造方法。

【請求項 12】 前記ソース電極およびドレイン電極を形成する工程が、裸線基板上にA1系材料から成る反射層を形成し、この層の上にさらに前記反射層とのエッチング選択比が高い導電材料から成るコンタクト層を成膜層する工程からなり。

また、前記のソース電極を露出させる工程が、ゲート電極下部以外の部分のコンタクト層も同時に除去する工程からなることを特徴とする請求項 8記載の薄膜トランジスターの製造方法。

【請求項 13】 前記ソース電極およびドレイン電極を形成する工程の一部として、裸線基板上に表面が凹凸形状のA1系材料から成る反射層を成膜する工程を含むことを特徴とする請求項 8～12のいずれかに記載の薄膜トランジスターの製造方法。

【請求項 14】 前記のソース電極露出工程により、電極下部以外の部分の層を除去してソース電極を露出させた後に、露出したソース電極表面を凹凸に加工する工程をさらに含むことを特徴とする請求項 8～12のいずれかに記載の薄膜トランジスターの製造方法。

【請求項 15】 請求項 1～5のいずれかに記載の薄膜トランジスターを具備した第1の基板と、光散乱性を具備した第2の透明基板とが、光透過率を連続的に変化させることができなる層を介して互いに貼り合わされて成ることを特徴とする表示装置。

【請求項 16】 請求項 1～5のいずれかに記載の薄膜トランジスターと、この上に形成された表面が凹凸形状

の透明絶縁層とを具備した第1の基板と、第2の透明基板とが、光透過率を連続的に変化できる層を介して互いに貼り合わされて成ることを特徴とする表示装置。

【請求項 17】 請求項 1～5のいずれかに記載の薄膜トランジスターと、この上に形成された光散乱性粒子を含有した透明絶縁層とを具備した第1の基板と、第2の透明基板とが、光透過率を連続的に変化できる層を介して互いに貼り合わされて成ることを特徴とする表示装置。

【請求項 18】 請求項 6または7記載の薄膜トランジスターと具備した第1の基板と第2の透明基板とが、光透過率を連続的に変化できる層を介して互いに貼り合わされて成ることを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、薄膜トランジスターとその製造方法及びそれを用いた表示装置に関し、特に外光を利用する反射型の表示装置に好適に用いられる薄膜トランジスターに関する。

【0002】

【従来の技術】 液晶材料を用いた表示装置（LCD）には、大別して、装置裏面にパックライト等を設けて表示を行う透過型LCDと室内蛍光灯等の外周光を反射させて表示を行う反射型LCDの2種類が知られている。特に、反射型LCDは、パックライト等の専用光源を用いないために低消費電力化、薄型・軽量化が容易であり、低価格LCDとして汎用性が高い。

【0003】 反射型LCDの高画質化には、取り込んだ外周光の反射・散乱効率の向上が重要となる。また、利用できる光量が限られているため、光の損失をできるだけ低減する必要がある。特に、カラー化の際には、カラーフィルターによる光損失が避けられないため、より簡素化された装置構成が必要となる。そのため、反射電極の形状や使用する液晶モード等については種々な検討が行われており、従来より、例えば月刊Semiconductor World 1995.12号、p108、図1に示されるような反射型LCDが知られている。

【0004】 図5-1は、その従来例を示したものである。ガラス基板1上に逆スタガ型の薄膜トランジスター（TFT）47アレイが形成され、そのTFTアレイを覆うように凹凸表面形状を有した感光性アクリル樹脂層48が形成され、その上にTFTのソース電極と電気的に接続されたA1（アルミ）電極、すなわち画素電極（反射電極）49が形成されたTFT基板50と対向基板51とが液晶層41を挟んで貼り合わされた構造となっている。

【0005】 この構造では、感光性アクリル樹脂層48の凹凸表面形状を反映した画素電極49が、取り込んだ光の反射と散乱の二役を兼ねる構造となっているため、反射光の散乱性に疲れ、広角度にわたりコントラストが

維持できるような工夫がされている。また、画素電極49とTFT47とは、感光性アクリル樹脂層48により層間分離されているため、TFT47上にも画素電極49が形成でき、反射光の利用面積、すなわち開口率を高くできる利点を有している。さらに、液晶材料として、偏光板を必要としないゲスト-ホスト（G-H）液晶を用いれば、より明るい表示が可能となる。

【0006】

【発明が解決しようとする課題】 しかしながら、この従来反射型液晶表示装置は、良好な表示特性が得られる反面、TFTアレイの形成工程以外にも凹凸表面形状を有した画素電極の形成に開わる複雑な工程が別途必要となり、それに伴う製造コストの増加が避けられない問題点があつた。

【0007】 そこでこの問題点を解決するために、外周光の反射・散乱特性を維持しつつ、TFT構造と画素電極構造をより単純化し、その製造工程を大幅に削減することが求められていた。

【0008】 本発明の目的は、外周光の反射・散乱特性が良好で、TFTと画素電極の形成に開わる工程を簡略化でき、低コスト化が可能な薄膜トランジスターおよびその製造方法を提供することにある。また、このTFTを用いた表示特性の優れた反射型表示装置を提供することにある。

【0009】

【課題を解決するための手段】 本発明は、絶縁基板上に、導電材料で形成されたソース電極およびドレイン電極と、このソース電極およびドレイン電極を接続する真性半導体層で形成されたチャンネル層と、このソース電極およびドレイン電極とチャンネル層との接界面に形成されたp型またはn型の不純物半導体層と、この半導体チャンネル層上に絶縁層を介して設けられたゲート電極とを有する順スタガ型薄膜トランジスターにおいて、前記ソース電極およびドレイン電極が少なくとも1層のA1系材料からなる層で形成されており、このソース電極を表示装置の反射画素電極として用いることが可能な薄膜トランジスターに関する。

【0010】 また、本発明は、絶縁基板上に、A1系材料から成る層を少なくとも1層形成しソース電極およびドレイン電極を形成する工程と、前記ソース電極およびドレイン電極上にp型あるいはn型不純物半導体層を選択的に形成する工程と、ソース電極、ドレイン電極および不純物半導体層が形成されたこの絶縁基板上に真性半導体層、絶縁層および導電層を順次成膜する工程と、前記導電層をゲート電極パターンに加工する工程と、前記ゲート電極パターンをマスクとして用いて前記真性半導体層と絶縁層をバーニングしてチャンネル層とゲート絶縁層を形成し、同時にゲート電極下部以外の部分のソース電極を露出させる工程とを含むことを特徴とする薄膜トランジスターの製造方法に関する。

【0011】本発明の薄膜トランジスター（TFT）は、ソース電極およびドレイン電極に、反射性の導電性組に優れたAl系材料を用いた順次方式型TFTであるため、ソース電極およびドレイン電極の形成に用いたAl系材料を表示装置の画素電極として用いることができる。さらに詳しくは、本発明ではソース電極と画素電極は一体であって、同時に形成する。そこで、ソース電極と画素電極を別途形成する従来技術のように、両電極間に接続手段等を設ける必要がない。

【0012】また、この構成によればゲート電極パターンをマスクに用いてアーランドの形成（ゲート電極およびその下層のバーニング）を行うことができるので、TFTの形成と画素電極の形成とに関わるフォトリソングラフィー工程をわずか2回で済ませることができ、大幅な製造コスト削減を実現できる。

【0013】また、素子上方からの入射光に対してゲート電極が遮光層として作用するので、外周光の影響による光OFFリーカ電流を抑制できるという点でも大きな効果を発揮する。

【0014】

【発明の実施の形態】本発明においてAl系材料とは、Alを主成分とする金属であり、例えばAl金属単体の他、素子劣化を防いだり、耐熱性や耐エレクトロ、ストレスマイグレーション性を向上させる働きのある1種以上の金属とAlとの合金を用いることができる。このAlとの合金に用いる金属としては、Si、Cu、周期律表3A（ランタノイド系、アクチノイド系を含む）、4A、5A、6A、7Aおよび8族から選ばれる金属元素が好ましく、具体的にはSi、Cu、Nd、Ti、V、Cr、Ni、Zr、Nb、Mo、Pd、Hf、TaおよびWが好ましく、特にSi、NdおよびTiが好ましい。

【0015】また、本発明で用いられる絶縁基板としては、ガラス、プラスチックおよびセラミック等のフィルムまたはシートを挙げることができる。特に、耐熱性、耐薬品性、長期信頼性および実績等の点でガラス基板が好ましい。

【0016】前記ソース電極およびドレイン電極は、Al系材料から成る単層構造とすることができます。

【0017】また、前記ソース電極およびドレイン電極は、コンタクト層（前記不純物半導体層及びAl系材料とオーミックコンタクト可能な導電材料から成る層をいう。以下同じ。）を下層に、Al系材料から成る反射層を上層にした複層構造であってもよい。このようにすると、Al表面の酸化膜を除去しなくとも電気的な接続が確実にとれるので好ましい。

【0018】また、前記ソース電極およびドレイン電極は、Al系材料から成る反射層を下層として、この上に上層として透明な導電材料から成るコンタクト層を複層とした構造であっても良い。このようにすると、透明な導

電材料が、Al系材料のコート層として機能し、外部接続端子部での耐久性（温度、湿度に対する）を向上させることができる。

【0019】さらに、ゲート電極下部のソース電極およびドレイン電極を、Al系材料から成る反射層を下層として、前記反射層とのエッチング選択比が高い導電材料から成るコンタクト層を上層とする複層構造とし、且つゲート電極下部以外の部分のソース電極部分（画素電極部分）は前記反射層から成る単層構造としてもよい。チャネル層とソース／ドレイン電極との接続面の不純物半導体層が特にn型である場合、この層にAl原子が拡散し、ソース／ドレイン電極とのコンタクト抵抗が増加するいわゆるp型ドーパント作用が起こりやすいが、このような構成にすることで、Al系材料がチャネル層と接する面積が小さくなるため、p型ドーパント作用を軽減することができる。

【0020】また、本発明は、ソース電極が光を散乱する凸凹を表面に有していることが好ましい。このようにすると別途散乱手段を設ける必要がなく製造コストを低下することが可能である。また、別途散乱手段を設けた場合に起こりやすい表示の白浮き（コントラストの低下）や、二重写り等を防止でき、より表示性の向上させることができる。

【0021】このソース電極表面の凸凹は、ゲート電極の下部では凸凹を有していないこと即ち平坦面になっていることが好ましい。ソース電極およびドレイン電極の全面に凸凹形状が形成されると、チャンネル層との接続部の不純物半導体層およびチャンネル層のカバレッジ特性が低下する場合があり、それによってTFT特性や信頼性が低下することが懸念されるからである。そこで、画素電極として機能するゲート電極下部以外の部分のみ光を散乱する凸凹形状を有している構造であることがより望ましい。

【0022】本発明のTFTは、種々の表示装置に使用可能であるが、反射型の装置、特に反射型の液晶表示装置に用いることが好ましい。

【0023】

【実施例】以下に実施例を示し、本発明を詳細に説明する。

【0024】【実施例1】本発明のTFTの第1の実施例を図1から図4を用いて説明する。はじめに、スピッタリングによりガラス基板1上にAl-Nd（ネオジウム）-Si（シリコン）合金層2を100nm形成した後、その上にドレイン電極及び画素電極（ソース電極）パターンに相当するレジストパターン3を形成する（図1）。

【0025】次に、レジストパターン3をマスクに用いてリン酸硝酸系溶液によりAl-Nd-Si合金層2をウェットエッチングしてドレイン4及び画素電極5を形成した後、レジストパターン3を剥離する（図2）。こ

のドレイン電極4及び画素電極5のバーニングは、C12(塩素)系ガスを用いたドライエッティングでも可能である。しかし、テーパー形状が得られると言う点でウェットエッティングの方が好ましい。

【0026】そして、PCVD(プラズマ気相成長)装置を用い、真空中で不活性ガスを用いた逆スパッタリングあるいはハロゲン系ガスを用いた化学エッティングによりドレイン電極4及び画素電極5上に形成されているAl表面酸化膜を除去した後、速やかにPH3(ホスフィン)ガス及び微量のSiH4(モノシリコン)ガスをプラズマ分解してドレイン電極4及び画素電極5の上のみにP(リン)原子リッチなn型a-Si(非晶質シリコン)層6を選択的に形成する。この際、PH3プラズマドーピングによってもn型a-Si層6の選択形成は可能である。

【0027】次に、連続してSiH4ガス及びH2(水素)ガスをプラズマ分解してガラス基板1全面にi型a-Si層7を50nm成膜した後、引き続きSiH4ガス、NH3(アンモニア)ガス、N2(窒素)ガスをプラズマ分解してa-Si層7の上にSiN(窒化シリコン)層8を300nm成膜する。

【0028】その後、スパッタリングによりSiN層8の上にAl-Nd-Si合金層9を100nm成膜した後、その上にゲート電極バーニングに相当するレジストバーニング10を形成する(図3)。

【0029】そして、レジストバーニング10をマスクに用いてリン酸硝酸系溶液によりAl-Nd-Si合金層9をウェットエッティングしてゲート電極11を形成した後、レジストバーニング10を残したままSiN層8、i型a-Si層7、n型a-Si層6をCF4(四塩化炭素)ガス及びO2(酸素)ガスを用いてドライエッティングし、アイランドを形成すると同時にドレイン電極4及び画素電極5表面を露出させる。Al系材料は、F(弗素)系ガスではドライエッティングされないため、結果的に反射率の高いAl-Nd-Si合金層を露出させることができる。

【0030】なお、ゲート電極11のバーニングは、C12系ガスを用いたドライエッティングで行っても良い。この後、レジストバーニング10を剥離して本発明の第1のTFTを得ることができる(図4)。

【0031】なお、本実施例では、ソース電極およびドレイン電極に用いるAl系材料としてAl-Nd-Si合金を用いたが、他のAl系材料でもかまわない。しかし、Al原子の拡散による素子特性の低下を防ぐため、半導体層を構成している元素(本実施例ではSi)を含有していることが望ましい。また、耐熱性や耐エレクトロ、ストレスマイグレーション性を高めるための元素(本実施例ではNd)を含有していても良い。したがって、本発明の第1のTFTのソース電極およびドレイン電極に用いられるAl系材料としては、Alを母材とし

た2元系以上のAl合金材料が望ましい。

【0032】【実施例2】次に、本発明のTFTの第2の実施例を図5から図8を用いて説明する。はじめに、スパッタリングによりガラス基板1上にMo(モリブデン)層12を20nm成膜し、引き続きその上にAl-Nd-Si合金層2上にドレイン電極及び画素電極バーニングに相当するレジストバーニング3を形成する(図5)。

【0033】次に、レジストバーニング3をマスクに用いてリン酸硝酸系溶液によりAl-Nd-Si合金層2及びMo層12を一括ウェットエッティングしてドレイン電極13及び画素電極14を形成した後、レジストバーニング3を剥離する(図6)。

【0034】このドレイン電極13及び画素電極14のバーニングは、C12系ガスを用いたドライエッティングでも可能である。しかし、テーパー形状が得られると言う点でウェットエッティングの方が好ましい。

【0035】そして、PCVDによりPH3ガス及び微量のSiH4ガスをプラズマ分解してドレイン電極13及び画素電極14の上のみにP原子リッチなn型a-Si層6を選択的に形成する。この際、PH3プラズマドーピングによってもn型a-Si層6の選択形成は可能である。次に、連続してSiH4ガス及びH2ガスをプラズマ分解してガラス基板1全面にi型a-Si層7を50nm成膜した後、引き続きSiH4ガス、NH3ガス、N2ガスをプラズマ分解してa-Si層7の上にSiN層8を300nm成膜する。その後、スパッタリングによりSiN層8の上にAl-Nd-Si合金層9を100nm成膜した後、その上にゲート電極バーニングに相当するレジストバーニング10を形成する(図7)。

【0036】そして、レジストバーニング10をマスクに用いてリン酸硝酸系溶液によりAl-Nd-Si合金層9をウェットエッティングしてゲート電極11を形成した後、レジストバーニング10を残したままSiN層8、i型a-Si層7、n型a-Si層6をCF4ガス及びO2ガスを用いてドライエッティングし、アイランドを形成すると同時にドレイン電極13及び画素電極14表面を露出させる。なお、ゲート電極11のバーニングは、C12系ガスを用いたドライエッティングで行っても良い。この後、レジストバーニング10を剥離して本発明の第2のTFTを得ることができる(図8)。

【0037】本発明の第2のTFTでは、Al表面酸化膜を除去する代わりに不純物半導体層及びAl系材料とオームックコンタクト可能な材料をAl系材料層の下層に設けた複層ソース電極およびドレイン電極構造とすることによって、ソース電極およびドレイン領域とAl系材料との電気的接続が可能となり、本発明の第1のTFTと同様の効果を得ることができる。また、コンタクト用電極材料(本実施例ではMo)と反対用電極材料(本実施例ではAl-Nd-Si合金)とを複層させなければ

ばならないものの、この複層構造は、同一装置で連続的に形成でき、さらに、本実施例で用いたM₀のようにA₁系材料と同じ条件でエッチングできる材料をコンタクト用電極材料として用いれば、ソース電極およびドレイン電極の形成に際する製造工程を一切増加せずに本発明の第2のTFTを製造することができる。

【0038】なお、本実施例では、コンタクト用電極材料としてM₀を用いたが、不純物半導体層及びA₁系材料とオーミックコンタクト可能な材料であれば他の導電材料でもよい。但し、製造工程上の利点から、A₁系材料と同じ条件でエッチングできる材料をコンタクト用電極材料として用いることが望ましい。また、本実施例では、反射用電極材料としてA₁-Nd-Si合金を用いたが、別にその他のA₁系材料でもかまわない。但し、A₁原子の拡散による素子特性の低下を防ぐため、半導体層を構成している元素（本実施例ではSi）を含有していることが望ましい。また、耐熱性や耐エレクトロ、ストレスマイグレーション性を高めるための元素（本実施例ではNd）を含有してもよい。したがって、本発明の第2のTFTのソース電極およびドレイン電極に用いられるA₁系材料としては、A₁を母材とした2元系以上のA₁合金材料が望ましい。

【0039】【実施例3】次に、本発明のTFTの第3の実施例を図9から図12を用いて説明する。はじめに、スパッタリングによりガラス基板1上にA₁-Nd-Si合金層2を80nm成膜し、引き続きたる上にITO（インジウム-スズ酸化物）層12を20nm成膜した後、ITO層15上にドレイン電極及び画素電極パターンに相当するレジストパターン3を形成する（図9）。

【0040】次に、レジストパターン3をマスクに用いてC12ガス、CF4ガス、H2ガスによりITO層15及びA₁-Nd-Si合金層2を一括ドライエッチングしてドレイン電極16及び画素電極17を形成した後、レジストパターン3を剥離する（図10）。

【0041】そして、PCVDによりPH3ガス及び微量のSiH4ガスをプラズマ分解してドレイン電極16及び画素電極17上のみにP原子リッチなn型a-Si層6を選択的に形成する。この際、PH3プラズマドーピングによってもn型a-Si層6の選択形成は可能である。

【0042】次に、連続してSiH4ガス及びH2ガスをプラズマ分解してガラス基板1全面にi型a-Si層7を50nm成膜した後、引き続きたる上にH4ガス、NH3ガス、N2ガスをプラズマ分解してa-Si層7上にSiN層8を300nm成膜する。

【0043】その後、スパッタリングによりSiN層8上にA₁-Nd-Si合金層9を100nm成膜した後、その上にゲート電極パターンに相当するレジストパターン10を形成する（図11）。そして、レジストバ

ターン10をマスクに用いてリン酸硝酸系溶液によりA₁-Nd-Si合金層9をウェットエッチングしてゲート電極11を形成した後、レジストパターン10を剥離したままSiN層8、i型a-Si層7、n型a-Si層6をCF4ガス及びO2ガスを用いてドライエッチングし、アイランドを形成すると同時にドレイン電極16及び画素電極17表面を露出させる。この時、ITO層は、F系ガスではドライエッチングされない。なお、ゲート電極11のバーニングは、C12系ガスを用いたドライエッチングで行ってもよい。

【0044】この後、レジストパターン10を剥離して本発明の第3のTFTを得ることができる（図9）。

【0045】本発明の第3のTFTでは、コンタクト用電極材料として透明導電材料を用いることによって、A₁系材料層を下層にしても外周光を反射でき、本発明の第2のTFTと同様の効果を得ることができる。

【0046】なお、本実施例では、透明導電材料としてITOを用いたが、不純物半導体層及びA₁系材料とオーミックコンタクト可能で且つ透明な材料であれば他の透明導電材料でもよい。但し、製造工程上の利点から、A₁系材料と同じ条件でエッチングできる材料をコンタクト用電極材料として用いることが望ましい。また、本実施例では、反射用電極材料としてA₁-Nd-Si合金を用いたが、別にその他のA₁系材料でもかまわない。但し、A₁原子の拡散による素子特性の低下を防ぐため、半導体層を構成している元素（本実施例ではSi）を含有していることが望ましい。また、耐熱性や耐エレクトロ、ストレスマイグレーション性を高めるための元素（本実施例ではNd）を含有してもよい。したがって、本発明の第3のTFTのソース電極およびドレイン電極に用いられるA₁系材料としては、A₁を母材とした2元系以上のA₁合金材料が望ましい。

【0047】【実施例4】次に、本発明のTFTの第4の実施例を図13から図16を用いて説明する。はじめに、スパッタリングによりガラス基板1上にA₁-Nd-Si合金層2を80nm成膜し、引き続きたる上にM₀層12を20nm成膜した後、M₀層12上にドレイン電極及び画素電極パターンに相当するレジストパターン3を形成する（図13）。次に、レジストパターン3をマスクに用いてリン酸硝酸系溶液によりM₀層12及びA₁-Nd-Si合金層2を一括ウェットエッチングしてドレイン電極18及び画素電極19を形成した後、レジストパターン3を剥離する（図14）。このドレイン電極18及び画素電極19のバーニングは、C12系ガスを用いたドライエッチングでも可能である。しかし、データー形状が得られると言う点でウェットエッチングの方が好みである。そして、PCVDによりPH3ガス及び微量のSiH4ガスをプラズマ分解してドレイン電極18及び画素電極19上のみにP原子リッチなn型a-Si層6を選択的に形成する。この際、PH3プラ

スマドーピングによってもn型a-Si層6の選択形成は可能である。次に、連続してSiH4ガス及びH2ガスをプラズマ分解してガラス基板1全面にi型a-Si層7を50nm成膜し、引き続きSiH4ガス、NH3ガス、N2ガスをプラズマ分解してa-Si層7上にSiN層8を300nm成膜する。その後、スパッタリングによりSiN層8上にAl-Nd-Si合金層9を100nm成膜した後、その上にゲート電極パターンに相当するレジストパターン10を形成する(図15)。そして、レジストパターン10をマスクに用いてリン酸硝酸系溶液によりAl-Nd-Si合金層9をウェットエッチングしてゲート電極11を形成した後、レジストパターン10を残したままSiN層8、i型a-Si層7、n型a-Si層6、Mo層12をCF4ガス及びO2ガスを用いてドライエッティングし、アイランドを形成すると同時にドレイン電極18及び画素電極19に用いたAl-Nd-Si合金層表面を露出させる。Mo層は、F系ガスによりドライエッティングできるため、結果的にAl-Nd-Si合金層を露出させることができる。なお、ゲート電極11のパターンングは、C12系ガスを用いたドライエッティングで行なっても良い。この後、レジストパターン10を剥離して本発明の第4のTFTを得ることができる(図16)。

【0048】本発明の第4のTFTでは、不純物半導体層及びAl系材料とオーミックコンタクト可能で且つAl系材料とのエッティング選択比が高い材料をコンタクト用電極材料としてAl系材料層上に設け、後工程でゲート電極下部以外のコンタクト用電極層だけを除去し、下層の反射用電極層を露出させることによって、本発明の第2のTFTと同様の効果を得ることができる。

【0049】なお、本実施例では、コンタクト用電極材料としてF系ガスによりドライエッティング可能なMoを用いたが、不純物半導体層及びAl系材料とオーミックコンタクト可能で且つAl系材料とのエッティング選択比が高い材料であれば他の導電材料でも良い。但し、製造工程上の利点から、ウェットエッティングあるいはドライエッティングのどちらか一方に対してはエッティング選択比が高く、どちらか一方に対してはエッティング選択比の低い材料をコンタクト用電極材料として用いた方が望ましい。また、本実施例では、反射用電極材料としてAl-Nd-Si合金を用いたが、別にその他のAl系材料でもかまわない。但し、Al原子の拡散による素子特性の低下を防ぐため、半導体層を構成している元素(本実施例ではSi)を含有していることが望ましい。また、耐熱性や耐エレクトロ、ストレスマイグレーション性を高めるための元素(本実施例ではNd)を含有していても良い。したがって、本発明の第4のTFTのソース電極およびドレイン電極に用いられるAl系材料としては、Alを母材とした2元系以上のAl合金材料が望ましい。

【0050】【実施例5】次に、本発明の第5のTFTに関する実施例を図17から図20を用いて説明する。はじめに、スパッタリングにより150°C以上の基板温度でガラス基板1上にAl-Si合金層20を200nm成膜する。Al-Si合金は、150°C以上の基板温度でスパッタリングするとAl結晶粒の成長促進に伴い表面に凹凸形状が形成され、白湯する。すなわち、光の反射性と散乱性の双方の性質を持つことができる。この白湯の度合いは、用いるAl系材料によって異なるが、基板温度が高いほど、また膜厚が厚いほど結晶粒が成長しやすいため反射用電極特性としては望ましい。但し、膜厚を厚くすることでPCVD膜のカバレッジ特性が低下することに留意する必要がある。

【0051】そして、Al-Si合金層20上にドライエッティング及び画素電極パターンに相当するレジストパターン3を形成する(図17)。次に、レジストパターン3をマスクに用いてリン酸硝酸系溶液によりAl-Si合金層20をウェットエッチングして凹凸形状を有したドレイン電極21及び画素電極22を形成した後、レジストパターン3を剥離する(図18)。この際、ドレイン電極21及び画素電極22のパターンングは、C12系ガスを用いたドライエッティングでも可能である。しかし、テーパー形状が得られると言う点でウェットエッチングの方が好ましい。

【0052】そして、PCVDにより、真空中で不活性ガスを用いた逆スパッタリングあるいはハロゲン系ガスを用いた化学エッティングによりドレイン電極21及び画素電極22上に形成されているAl表面酸化膜を除去した後、速やかにPH3ガス及び微量のSiH4ガスをプラズマ分解してドレイン電極21及び画素電極22上のみにP原子リッチなn型a-Si層6を選択的に形成する。この際、PH3スマドーピングによってもn型a-Si層6の選択形成は可能である。次に、連続してSiH4ガス及びH2ガスをプラズマ分解してガラス基板1全面にi型a-Si層7を50nm成膜し、引き続きSiH4ガス、NH3ガス、N2ガスをプラズマ分解してa-Si層7上にSiN層8を300nm成膜する。その後、スパッタリングによりSiN層8上にAl-Nd-Si合金層9を100nm成膜した後、その上にゲート電極パターンに相当するレジストパターン10を形成する(図19)。そして、レジストパターン10をマスクに用いてリン酸硝酸系溶液によりAl-Nd-Si合金層9をウェットエッチングしてゲート電極11を形成した後、レジストパターン10を残したままSiN層8、i型a-Si層7、n型a-Si層6をCF4ガス及びO2ガスを用いてドライエッティングし、アイランドを形成すると同時にドレイン電極21及び画素電極22表面を露出させる。なお、ゲート電極11のパターンングは、C12系ガスを用いたドライエッティングで行っても良い。この後、レジストパターン10を剥離して本発明

明の第5のTFTを得ることができる(図20)。

【0053】本発明の第5のTFTでは、ソース電極およびドレイン電極に白湯した、すなわち凹凸形状を有したAl系材料を用いることによって、本発明の第1のTFTの効果に、さらに光散乱性を付与させた効果を持たせることができる。その結果、光散乱性部分を別途形成する必要がなく、製造コストを一層削減することができる。さらに、画素電極表面で光の反射・散乱が可能なため、表示の白浮き(コントラストの低下)やニ重写り等を防止でき、より表示特性を向上させることができる。

【0054】なお、本実施例では、ソース電極およびドレイン電極に用いるAl系材料として白湯しやすいAl-Si合金を用いたが、成膜時に白湯するような材料であればその他のAl系材料でもかまわない。但し、Al原子の拡散による素子特性の低下を防ぐため、半導体層を構成している元素(本実施例ではSi)を含有していることが望ましい。また、白湯性を有していれば耐熱性や耐エレクトロ、ストレスマイグレーション性を高めるための元素を含有していても良い。したがって、本発明の第5のTFTのソース電極およびドレイン電極に用いられるAl系材料としては、Alを母材とした2元系以上のAl合金材料が望ましい。

【0055】【実施例6】次に、本発明のTFTの第6の実施例を図21から図24を用いて説明する。はじめに、スパッタリングによりガラス基板1上にAl-Nd-Si合金層2を200nm成膜した後、その上にドレイン電極及び画素電極パターンに相当するレジストパターン3を形成する(図21)。

【0056】次に、レジストパターン3をマスクに用いてリン酸硝酸系溶液によりAl-Nd-Si合金層2をウェットエッチングしてドレイン電極20及び画素電極21を形成した後、レジストパターン3を剥離する(図22)。この際、ドレイン電極23及び画素電極24のパターンングは、C12ガスを用いたドライエッチングでも可能である。しかし、テーパー形状が得られると言う点でウェットエッチングの方が好ましい。

【0057】そして、PCVDにより、真空中で不活性ガスを用いた逆スパッタリングあるいはハロゲン系ガスを用いた化学エッチングによりドレイン電極23及び画素電極24上に形成されているAl表面酸化膜を除去した後、速やかにPH3ガス及び微量のSiH4ガスをプラズマ分解してドレイン電極23及び画素電極24上のみにP原子リッチなn型a-Si層6を選択的に形成する。この際、PH3プラズマドーピングによってn型a-Si層6の選択形成は可能である。次に、連続してSiH4ガス及びH2ガスをプラズマ分解してガラス基板1全面にn型a-Si層7を50nm成膜し、引き続きSiH4ガス、NH3ガス、N2ガスをプラズマ分解してa-Si層7上にSiN層8を300nm成膜する。

【0058】その後、スパッタリングによりSiN層8

上にAl-Nd-Si合金層9を100nm成膜した後、その上にゲート電極パターンに相当するレジストパターン10を形成する(図23)。そして、レジストパターン10をマスクに用いてリン酸硝酸系溶液によりAl-Nd-Si合金層9をウェットエッチングしてゲート電極11を形成した後、レジストパターン10を残したままSiN層8、n型a-Si層7、n型a-Si層6をC12ガス及びO2ガスを用いてドライエッチングし、アイランドを形成すると同時にドレイン電極23及び画素電極24表面を露出させる。その後、エッチングガスをC12ガス及びH2ガスに切り替え、露出したAl-Nd-Si合金層表面のみを不均一にエッチングし、凹凸形状を形成する。

【0059】この際、エッチングの不均一性を顕著にするため、例えば、高エネルギーイオンがAl-Nd-Si合金層表面に衝突するような条件の方が好ましい。また、別のエッチングガスを用いて不均一性を高めても良い。

【0060】なお、ゲート電極11のパターンングは、C12系ガスを用いたドライエッチングで行っても良い。この後、レジストパターン10を剥離して本発明の第6のTFTを得ることができる(図24)。

【0061】本発明の第6のTFTでは、アイランド形成時に連続してソース電極およびドレイン電極表面を白湯させることによって、本発明の第5のTFTで懸念されたカバレッジの問題を解決し、さらに、本発明の第5のTFTと同様の効果を得ることができる。

【0062】なお、本実施例では、ソース電極およびドレイン電極に用いるAl系材料としてAl-Nd-Si合金を用いたが、後工程でその表面を白湯させることができるような材料であれば別にその他のAl系材料でもかまわない。但し、Al原子の拡散による素子特性の低下を防ぐため、半導体層を構成している元素(本実施例ではSi)を含有していることが望ましい。

【0063】また、母材のAl原子とはそのエッチング速度が大きく異なる元素を含有したAl合金材料を用いても良い。この場合、添加元素のエッチング速度はAlよりも著しく遅いあるいはされないことが望ましい。エッチングされる部分とされない部分との不均一性が増加し、より荒れた表面形状を形成することができるからである。

【0064】さらに、後工程でその表面を白湯させることができれば、耐熱性や耐エレクトロ、ストレスマイグレーション性を高めるための元素(本実施例ではNd)を含有していても良い。したがって、本発明の第6のTFTのソース電極およびドレイン電極に用いられるAl系材料としては、Alを母材とした2元系以上のAl合金材料が望ましい。

【0065】【実施例7】次に、本発明のTFTの第7の実施例を図25から図28を用いて説明する。はじめ

に、スパッタリングによりMo層12を20nm成膜し、引き続きその上に150°C以上の基板温度で白湯したAl-Si合金層20を180nm成膜した後、Al-Si合金層20上にドレイン電極及び画素電極パターンに相当するレジストパターン膜3を形成する(図25)。

【0066】次に、レジストパターン3をマスクに用いてリン酸硝酸系溶液によりAl-Si合金層20及びMo層12を一括ウェットエッチングして凹凸形状を有したドレイン電極25及び画素電極26を形成した後、レジストパターン3を剥離する(図26)。この際、ドレイン電極25及び画素電極26のパターンングは、C12系ガスを用いたドライエッティングでも可能である。しかし、テーパー形状が得られると言う点でウェットエッティングの方が好みらしい。

【0067】そして、PCVDによりPH3ガス及び微量のSiH4ガスをプラズマ分解してドレイン電極25及び画素電極26のパターンングは、C12系ガスを用いたドライエッティングでも可能である。

【0068】次に、連続してSiH4ガス及びH2ガスをプラズマ分解してガラス基板1全面にi型e-Si層7を50nm成膜し、引き続きSiH4ガス、NH3ガス、N2ガスをプラズマ分解してe-Si膜7上にSiN層8を300nm成膜する。その後、スパッタリングによりSiN層8上にAl-Nd-Si合金層9を100nm成膜した後、その上にゲート電極パターンに相当するレジストパターン10を形成する(図27)。

【0069】そして、レジストパターン10をマスクに用いてリン酸硝酸系溶液によりAl-Nd-Si合金層9をウェットエッティングしてゲート電極11を形成した後、レジストパターン10を残したままSiN層8、i型e-Si層7、n型e-Si層6をO2ガス及びO2ガスを用いてドライエッティングし、アイランドを形成すると同時にドレイン電極25及び画素電極26表面を露出させる。なお、ゲート電極11のパターンングは、C12系ガスを用いたドライエッティングで行っても良い。この後、レジストパターン10を剥離して本発明の第7のTFTを得ることができる(図28)。

【0070】本発明の第7のTFTでは、光の反射・散乱性に加え、実用面でも本発明の第5のTFTよりも改善されている。

【0071】なお、本実施例では、コンタクト用電極材料としてMoを用いたが、不純物半導体層及びAl系材料とオーミックコンタクト可能な材料であればその他の導電材料でもよい。但し、製造工程上の利点から、Al系材料と同じ条件でエッティングできる材料をコンタクト用電極材料として用いることが望ましい。

【0072】また、本実施例では、ソース電極およびド

レイン電極に用いるAl系材料として白湯しやすいAl-Si合金を用いたが、成膜時に白湯するような材料であればその他のAl系材料でもかまわない。但し、Al原子の拡散による素子特性の低下を防ぐため、半導体層を構成している元素(本実施例ではSi)を含有していることが望ましい。また、白湯性を有していれば耐熱性や耐エレクトロ、ストレスマイグレーション性を高めるための元素を含有していかまわない。したがって、本発明の第7のTFTのソース電極およびドレイン電極に用いられるAl系材料としては、Alを母材とした2元系以上のAl合金材料が望ましい。

【0073】【実施例8】次に、本発明のTFTの第8の実施例を図29から図32を用いて説明する。はじめに、スパッタリングによりガラス基板1上にMo層12を20nm成膜し、引き続きその上にAl-Nd-Si合金層2を180nm成膜した後、Al-Nd-Si合金層2上にドレイン電極及び画素電極パターンに相当するレジストパターン3を形成する(図29)。

【0074】次に、レジストパターン3をマスクに用いてリン酸硝酸系溶液によりAl-Nd-Si合金層2及びMo層12を一括ウェットエッチングしてドレイン電極27及び画素電極28を形成した後、レジストパターン3を剥離する(図30)。このドレイン電極27及び画素電極28のパターンングは、C12系ガスを用いたドライエッティングでも可能である。

【0075】しかし、テーパー形状が得られると言う点でウェットエッティングの方が好みらしい。そして、PCVDによりPH3ガス及び微量のSiH4ガスをプラズマ分解して、ドレイン電極27及び画素電極28上ののみにP原子リッチなn型e-Si層6を選択的に形成する。この際、PH3プラズマドーピングによってもn型e-Si層6の選択形成は可能である。

【0076】次に、連続してSiH4ガス及びH2ガスをプラズマ分解してガラス基板1全面にi型e-Si層7を50nm成膜し、引き続きSiH4ガス、NH3ガス、N2ガスをプラズマ分解してe-Si層7上にSiN層8を300nm成膜する。その後、スパッタリングによりSiN層8上にAl-Nd-Si合金層9を100nm成膜した後、その上にゲート電極パターンに相当するレジストパターン10を形成する(図31)。

【0077】そして、レジストパターン10をマスクに用いてリン酸硝酸系溶液によりAl-Nd-Si合金層9をウェットエッティングしてゲート電極11を形成した後、レジストパターン10を残したままSiN層8、i型e-Si層7、n型e-Si層6をO2ガス及びO2ガスを用いてドライエッティングし、アイランドを形成すると同時にドレイン電極27及び画素電極28表面を露出させる。

【0078】その後、エッティングガスをC12ガス及びH2ガスに切り替え、露出したAl-Nd-Si合金層

表面を不均一にエッチングし、凹凸形状を形成する。この際、エッチングの不均一性を顕著にするため、例えば、高エネルギーイオンがAl-Nd-Si合金層表面に衝突するような条件の方が好み。また、別のエッチングガスを用いて不均一性を高めても良い。なお、ゲート電極11のバーニングは、C12系ガスを用いたドライエッチングで行っても良い。

【0079】この後、レジストパターン10を剥離して本発明の第8のTFTを得ることができる(図32)。

【0080】本発明の第8のTFTでは、電気的接続も確実で、また、散乱性も良いので、構造的には最も優れたTFTであると言える。

【0081】なお、本実施例では、コンタクト用電極材料としてMoを用いたが、不純物半導体層及びAl系材料とオーミックコンタクト可能な材料であればその他の導電材料でもよい。また、本実施例では、ソース電極およびドレイン電極に用いるAl系材料としてAl-Nd-Si合金を用いたが、後工程でその表面を白湯させることができるように材料であれば別にその他のAl系材料でもかまわない。但し、Al原子の拡散による素子特性の低下を防ぐため、半導体層を構成している元素(本実施例ではSi)を含有していることが望まし。

【0082】また、母材のAl原子とはそのエッチング速度が大きく異なる元素を含有したAl合金材料を用いても良い。この場合、添加元素のエッチング速度はAlよりも著しく遅いかあるいはされないことが望ましい、なぜならば、エッチングされる部分とされない部分との不均一性が増加し、より荒れた表面形状を形成することができるからである。さらに、後工程でその表面を白湯させることができれば、耐熱性や耐エレクトロ、ストレスマイグレーション性を高めるための元素(本実施例ではNd)を含有しても良い。したがって、本発明の第8のTFTのソース電極およびドレイン電極に用いられるAl系材料としては、Alを母材とした2元系以上のAl合金材料が望ましい。

【0083】【実施例9】次に、本発明のTFTの第9の実施例を図33から図35を用いて説明する。はじめに、スパッタリングにより150℃以上の基板温度で白湯したAl-Si合金層20を180nm成膜し、引き続きその上にITO層29を20nm成膜した後、ITO層29上にドレイン電極及び画素電極パターンに相当するレジストパターン3を形成する(図33)。

【0084】次に、レジストパターン3をマスクに用いてC12ガス、CF4ガス、H2ガスによりITO層29及びAl-Si合金層20を一括ドライエッチングしてドレイン電極30及び画素電極31を形成した後、レジストパターン3を剥離する(図34)。

【0085】そして、PCVDによりPH3ガス及び微量のSiH4ガスをプラズマ分解してドレイン電極30及び画素電極31上ののみにP原子リッチなn型Al-Si

層6を選択的に形成する。この際、PH3プラズマドーピングによってもn型Al-Si層6の選択形成は可能である。

【0086】次に、連続してSiH4ガス及びH2ガスをプラズマ分解してガラス基板1全面にi型Al-Si層7を500nm成膜した後、引き続きSiH4ガス、NH3ガス、N2ガスをプラズマ分解してAl-Si層7上にSi-N層8を300nm成膜する。その後、スパッタリングによりSi-N層8上にAl-Nd-Si合金層9を100nm成膜した後、その上にゲート電極バーニングに相当するレジストパターン10を形成する(図35)。

【0087】そして、レジストパターン10をマスクに用いてリン酸硝酸系溶液によりAl-Nd-Si合金層9をウェットエッチングしてゲート電極11を形成した後、レジストパターン10を剥離したままSi-N層8、i型Al-Si層7、n型Al-Si層6をCF4ガス及びO2ガスを用いてドライエッチングし、アイランドを形成すると同時にドレイン電極30及び画素電極31表面を露出させる。なお、ゲート電極11のバーニングは、C12系ガスを用いたドライエッチングで行っても良い。

この後、レジストパターン10を剥離して本発明の第9のTFTを得ることができる(図36)。

【0088】なお、本実施例では、透明導電材料としてITOを用いたが、不純物半導体層及びAl系材料とオーミックコンタクト可能で且つ透明な材料であれば他の透明導電材料でもよい。但し、製造工程上の利点から、Al系材料と同じ条件でエッチングできる材料をコンタクト用電極材料として用いることが望ましい。また、本実施例では、ソース電極およびドレイン電極に用いるAl系材料として白湯しやすいAl-Si合金を用いたが、成膜時に白湯するような材料であれば他のAl系材料でもかまわない。但し、Al原子の拡散による素子特性の低下を防ぐため、半導体層を構成している元素(本実施例ではSi)を含有していることが望ましい。

【0089】また、白湯性を有していれば耐熱性や耐エレクトロ、ストレスマイグレーション性を高めるための元素を含有してもかまわない。したがって、本発明の第9のTFTのソース電極およびドレイン電極に用いられるAl系材料としては、Alを母材とした2元系以上のAl合金材料が望ましい。

【0090】【実施例10】次に、本発明のTFTの第10の実施例を図37から図40を用いて説明する。はじめに、スパッタリングにより150℃以上の基板温度でガラス基板1上に白湯したAl-Si合金層20を180nm成膜し、引き続きその上にMo層32を20nm成膜した後、Mo層32上にドレイン電極及び画素電極パターンに相当するレジストパターン3を形成する(図37)。

【0091】次に、レジストパターン3をマスクに用いてリン酸硝酸系溶液によりMo層32及びAl-Si合

金層20をウェットエッチングして凹凸形状を有したドレイン電極33及び画素電極34を形成した後、レジストパターン3を剥離する(図38)。この際、ドレイン電極33及び画素電極34のバーニングは、C12系ガスを用いたドライエッチングでも可能である。しかし、テーパー形状が得られると言う点でウェットエッチングの方が好ましい。

【0092】そして、PCVDによりPH3ガス及び微量のSiH4ガスをプラズマ分解してドレイン電極33及び画素電極34の上のみにP原子リッチなn型e-Si層6を選択的に形成する。この際、PH3プラズマドーピングによってもn型e-Si層6の選択形成は可能である。次に、連続してSiH4ガス及びH2ガスをプラズマ分解してガラス基板1全面にi型e-Si層7を50nm成膜し、引き続きSiH4ガス、NH3ガス、N2ガスをプラズマ分解してe-Si層7上にSiN層8を300nm成膜する。

【0093】その後、スパッタリングによりSiN層8上にAl-Nd-Si合金層9を100nm成膜した後、その上にゲート電極パターンに相当するレジストパターン10を形成する(図39)。

【0094】次に、レジストパターン10をマスクに用いてリン酸硝酸系溶液によりAl-Nd-Si合金層9をウェットエッチングしてゲート電極11を形成した後、レジストパターン10を残したままSiN層8、i型e-Si層7、n型e-Si層6、Mo層32をCFO4ガス及びO2ガスを用いてドライエッチングし、アイランドを形成すると同時にドレイン電極33及び画素電極34に用いたAl-Si合金層表面を露出させる。なお、ゲート電極11のバーニングは、C12系ガスを用いたドライエッチングで行っても良い。この後、レジストパターン10を剥離して本発明の第10のTFTを得ることができる(図40)。

【0095】なお、本実施例では、コンタクト用電極材料としてF系ガスによりドライエッチング可能なMoを用いたが、不純物半導体層及びAl系材料とオームックコンタクト可能で且つAl系材料とのエッティング選択比が高い材料であればその他の導電材料でもかまわない。但し、製造工程上の利点から、ウェットエッチングあるいはドライエッチングのどちらか一方に対してはエッティング選択比が高く、どちらか一方に対してはエッティング選択比の低い材料をコンタクト用電極材料として用いた方が好ましい。

【0096】また、本実施例では、ソース電極およびドレイン電極に用いるAl系材料として白湯しやすいAl-Si合金を用いたが、成膜時に白湯するような材料であればその他のAl系材料でもかまわない。但し、Al原子の抵抗による素子特性の低下を防ぐため、半導体層を構成している元素(本実施例ではSi)を含有していることが望ましい。また、白湯性を有していれば耐熱性

や耐エレクトロ、ストレスマイグレーション性を高めるための元素を含有していてもかまわない。したがって、本発明の第10のTFTのソース電極およびドレイン電極に用いられるAl系材料としては、Alを母材とした2元系以上のAl合金材料が望ましい。

【0097】【実施例11】次に、本発明TFTの第11の実施例を図41から図44を用いて説明する。はじめに、スパッタリングによりガラス基板1上にAl-Nd-Si合金層2を180nm成膜し、引き続きその上にMo層12を20nm成膜した後、Mo層12上にドレイン電極及び画素電極バーニングに相当するレジストパターン3を形成する(図41)。

【0098】次に、レジストパターン3をマスクに用いてリン酸硝酸系溶液によりMo層12及びAl-Nd-Si合金層2を一括ウェットエッチングしてドレイン電極35及び画素電極36を形成した後、レジストパターン3を剥離する(図41)。このドレイン電極35及び画素電極36のバーニングは、C12系ガスを用いたドライエッチングでも可能である。しかし、テーパー形状が得られると言う点でウェットエッチングの方が好ましい。

【0099】そして、PCVDによりPH3ガス及び微量のSiH4ガスをプラズマ分解してドレイン電極35及び画素電極36の上のみにP原子リッチなn型e-Si層6を選択的に形成する。この際、PH3プラズマドーピングによってn型e-Si層6の選択形成は可能である。次に、連続してSiH4ガス及びH2ガスをプラズマ分解してガラス基板1全面にi型e-Si層7を50nm成膜し、引き続きSiH4ガス、NH3ガス、N2ガスをプラズマ分解してe-Si層7上にSiN層8を300nm成膜する。

【0100】その後、スパッタリングによりSiN層8上にAl-Nd-Si合金層9を100nm成膜した後、その上にゲート電極パターンに相当するレジストパターン10を形成する(図43)。

【0101】そして、レジストパターン10をマスクに用いてリン酸硝酸系溶液によりAl-Nd-Si合金層9をウェットエッチングしてゲート電極11を形成した後、レジストパターン10を残したままSiN層8、i型e-Si層7、n型e-Si層6、Mo層12をCFO4ガス及びO2ガスを用いてドライエッチングし、アイランドを形成すると同時にドレイン電極35及び画素電極36に用いたAl-Nd-Si合金層表面を露出させる。その後、エッティングガスをC12ガス及びH2ガスに切り替え、露出したAl-Nd-Si合金層表面を不均一にエッティングし、凹凸形状を形成する。この際、エッティングの不均一性を顕著にするため、例えば、高エネルギーイオンがAl-Nd-Si合金層表面に衝突するような条件の方が好ましい。また、別のエッティングガスを用いて不均一性を高めて良い。その後、レジストバタ

ーン 10 を剥離して本発明の第 11 の TFT を得ることができる (図 44)。

【0102】【実施例 1-2】図 45～49 はそれぞれ構成の異なる LCD であり、本発明の実施例 1～4 の TFT を用いた反射型 LCD の例である。

【0103】本発明の実施例 1～4 の TFT 37 を備えた TFT 基板 38 とサンドプラス等により片面あるいは両面を粗面化したか、あるいは散乱シート等により片面あるいは両面に光散乱部分を有した透明絶縁基板の片面に透明導電層から成る共通電極 39 を備えた対向基板 40 を、それぞれ TFT アレイ側、共通電極側に配向処理 (配向膜の塗布とラビング) を施した後、お互いの配向処理面が向かい合うように両基板をプラスチック粒子等によるスペーサーを介して基板周辺部に塗ったエポキシ系接着剤により貼り合わせ、その間に G-H 液晶 41 を注入し、紫外線硬化樹脂により封止することができる。

【0104】この構造の反射型 LCD では、対向基板側に光散乱部分を設けてあるため、まず入射光がそこで散乱し、液晶層を通過した光が TFT アレイ側に設けた画素電極面で反射した後、さらに対向基板側で散乱し、出射する。そして、その透過率は、基板間に設けた液晶層により制御することができる。特に、G-H 液晶では、ホスト液晶、例えば TN 液晶にゲストとなる色素を退せ、その色素による光の吸収状態を TN 液晶分子の粘性を利用して制御することにより、光の入射・出射量を制御できるため、偏向板を必要とせず、明るい表示を得ることができる。

【0105】このような構造において、対向基板の外側 (大気側) にだけ粗面化構造を用いれば図 45 に示すような反射型 LCD を製造することができる。また、対向基板の内側 (液晶層側) にだけ粗面化構造を用いれば図 46 に示すような反射型 LCD を製造することができる。また、図 47 のように、対向基板の両側を粗面化しても良い。

【0106】一方、対向基板側に光散乱部分を設けるのではなく、TFT アレイ上に凹凸形状を有した透明絶縁層 43 を設ければ図 48 に示すような反射型 LCD を製造することができる。この場合、凹凸形状を有した透明絶縁層 43 は、感光性アクリル樹脂層をバーニングして形成しても良いし、ポリイミド層を形成し、その表面に凹凸形状を転写しても良い。材料としては、液晶層との屈折率差が大きい材料の方が散乱性が増すため好ましい。

【0107】また、TFT アレイ上に光散乱性粒子を含有した透明絶縁層 44 を設け、図 49 に示すような反射型 LCD を製造することができる。この場合、光散乱性粒子を含有した透明絶縁層 44 は、ポリイミド樹脂にあらかじめ光散乱性粒子を含ませ、スピンドル等により形成できる。光散乱性粒子に用いる材料としては、液晶層との屈折率差が大きい材料の方が散乱性が増すため

好ましい。また、その形状はどんな形でも良い。

【0108】【実施例 1-3】次に、本発明の実施例 5～11 のように電極表面に凹凸が設けられた TFT を用いた反射型 LCD の例を図 50 を用いて説明する。

【0109】本発明の実施例 5～11 の TFT 45 を備えた TFT 基板 46 と両側が平坦でその片面には透明導電層から成る共通電極 39 を備えた対向基板 42 を、それぞれ TFT アレイ側、共通電極側に配向処理を施した後、お互いの配向処理面が向かい合うように両基板をプラスチック粒子等によるスペーサーを介して基板周辺部に塗ったエポキシ系接着剤により貼り合わせ、その間に G-H 液晶 41 を注入し、紫外線硬化樹脂により封止することによって、図 50 に示すような反射型 LCD を製造することができる。

【0110】この反射型 LCD では、画素電極自体に凹凸形状を持たせてあるため、対向基板を通過した入射光はこの部分だけで反射・散乱をする。そして、その透過率は、基板間に設けた液晶層により制御することができる。特に、G-H 液晶では、ホスト液晶、例えば TN 液晶にゲストとなる色素を退せ、その色素による光の吸収状態を TN 液晶分子の粘性を利用して制御することにより、光の入射・出射量を制御するため、偏向板を必要とせず、明るい表示を得ることができる。

【0111】この反射型 LCD では、光の反射部と散乱部が TFT アレイ側の同一面に形成してあるため、実施例 1-2 で示した反射型 LCD で見られることがある散乱部表面での表示の白浮き、二重写り等を抑制でき、表示特性の優れた反射型 LCD をより低コストで製造できるようになる。

【0112】また、実施例 1-2 および 1-3 で示した反射型 LCD にカラーフィルターを設ければ本発明の第 1 から 6 に該当するカラー反射型 LCD が得られる。また、カラー化は、色素を調整した G-H 液晶によって行っても良い。また、液晶材料としては G-H 液晶に限る必要はなく、光透過率を制御できる材料であれば何でも良い。したがって、偏向板を必要とするモードの液晶材料でも良い。

【0113】

【発明の効果】本発明によれば、反射型 LCD の製造にかかるコストを大幅に削減できる。本発明の TFT では、ソース電極およびドレイン電極に反射率の高い Al 系材料を用い、ソース電極側の電極を画素電極とすることによって、ドレイン電極の形成と画素電極の形成とを同一工程で行うことができ、ゲート電極パターンをマスクに用いてアーランドを形成することによって、TFT アレイの形成と画素電極の形成とにかかるフォトリソグラフィー工程をわずか 2 回で済ませることができる。

【0114】また、本発明によれば、順次ガガ型構造を採るので、素子上部にゲート電極が配置されるため、素子上方からの入射光に対して遮光効果を発揮し、光 OFF

Fリーク電流を抑制できる。
【図 115】また、画素電極と同様にドレイン電極にも低抵抗なA1系材料を用いることができ、また、TFT構造がゲート電極構造であるので、比較的容易にゲート電極にもA1系材料を用いることができるので、大面積の表示装置でも配線信号遅延による画質低下を抑制できる。

【図面の簡単な説明】

【図 1】本発明のTFTの第1の実施例を図示する断面図である。
【図 2】本発明のTFTの第1の実施例を図示する断面図である。
【図 3】本発明のTFTの第1の実施例を図示する断面図である。
【図 4】本発明のTFTの第1の実施例を図示する断面図である。
【図 5】本発明のTFTの第2の実施例を図示する断面図である。
【図 6】本発明のTFTの第2の実施例を図示する断面図である。
【図 7】本発明のTFTの第2の実施例を図示する断面図である。
【図 8】本発明のTFTの第2の実施例を図示する断面図である。
【図 9】本発明のTFTの第3の実施例を図示する断面図である。
【図 10】本発明のTFTの第3の実施例を図示する断面図である。
【図 11】本発明のTFTの第3の実施例を図示する断面図である。
【図 12】本発明のTFTの第3の実施例を図示する断面図である。
【図 13】本発明のTFTの第4の実施例を図示する断面図である。
【図 14】本発明のTFTの第4の実施例を図示する断面図である。
【図 15】本発明のTFTの第4の実施例を図示する断面図である。
【図 16】本発明のTFTの第4の実施例を図示する断面図である。
【図 17】本発明のTFTの第5の実施例を図示する断面図である。
【図 18】本発明のTFTの第5の実施例を図示する断面図である。
【図 19】本発明のTFTの第5の実施例を図示する断面図である。
【図 20】本発明のTFTの第5の実施例を図示する断面図である。
【図 21】本発明のTFTの第6の実施例を図示する断面図である。

【図 22】本発明のTFTの第6の実施例を図示する断面図である。

【図 23】本発明のTFTの第6の実施例を図示する断面図である。

【図 24】本発明のTFTの第6の実施例を図示する断面図である。

【図 25】本発明のTFTの第7の実施例を図示する断面図である。

【図 26】本発明のTFTの第7の実施例を図示する断面図である。

【図 27】本発明のTFTの第7の実施例を図示する断面図である。

【図 28】本発明のTFTの第7の実施例を図示する断面図である。

【図 29】本発明のTFTの第8の実施例を図示する断面図である。

【図 30】本発明のTFTの第8の実施例を図示する断面図である。

【図 31】本発明のTFTの第8の実施例を図示する断面図である。

【図 32】本発明のTFTの第8の実施例を図示する断面図である。

【図 33】本発明のTFTの第9の実施例を図示する断面図である。

【図 34】本発明のTFTの第9の実施例を図示する断面図である。

【図 35】本発明のTFTの第9の実施例を図示する断面図である。

【図 36】本発明のTFTの第9の実施例を図示する断面図である。

【図 37】本発明のTFTの第10の実施例を図示する断面図である。

【図 38】本発明のTFTの第10の実施例を図示する断面図である。

【図 39】本発明のTFTの第10の実施例を図示する断面図である。

【図 40】本発明のTFTの第10の実施例を図示する断面図である。

【図 41】本発明のTFTの第11の実施例を図示する断面図である。

【図 42】本発明のTFTの第11の実施例を図示する断面図である。

【図 43】本発明のTFTの第11の実施例を図示する断面図である。

【図 44】本発明のTFTの第11の実施例を図示する断面図である。

【図 45】本発明の反射型LCDを図示する断面図である。

【図 46】本発明の反射型LCDを図示する断面図である。

【図 4 7】本発明の反射型 LCD を図示する断面図である。

【図 4 8】本発明の反射型 LCD を図示する断面図である。

【図 4 9】本発明の反射型 LCD を図示する断面図である。

【図 5 0】本発明の反射型 LCD を図示する断面図である。

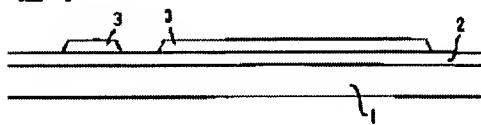
【図 5 1】従来の反射型 LCD を図示する断面図である。

【符号の説明】

- 1 ガラス基板
- 2 Al - Nd - Si 合金層
- 3 レジストパターン
- 4 ドレイン電極
- 5 画素電極
- 6 n型a - Si 層
- 7 i型a - Si 層
- 8 SiN 層
- 9 Al - Nd - Si 合金層
- 10 レジストパターン
- 11 ゲート電極
- 12 Mo 層
- 13 ドレイン電極
- 14 画素電極
- 15 ITO 層
- 16 ドレイン電極
- 17 画素電極
- 18 ドレイン電極
- 19 画素電極
- 20 Al - Si 合金層

- 21 ドレイン電極
- 22 画素電極
- 23 ドレイン電極
- 24 画素電極
- 25 ドレイン電極
- 26 画素電極
- 27 ドレイン電極
- 28 画素電極
- 29 ITO 層
- 30 ドレイン電極
- 31 画素電極
- 32 Mo 層
- 33 ドレイン電極
- 34 画素電極
- 35 ドレイン電極
- 36 画素電極
- 37 TFT
- 38 TFT 基板
- 39 共通電極
- 40 対向基板
- 41 液晶層
- 42 対向基板
- 43 光散乱性透明絶縁層
- 44 光散乱性透明絶縁層
- 45 TFT
- 46 TFT 基板
- 47 TFT
- 48 感光性アクリル樹脂層
- 49 画素電極
- 50 TFT 基板
- 51 対向基板

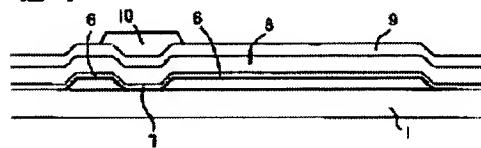
【図 1】



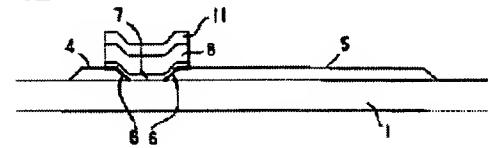
【図 2】

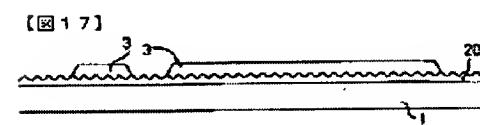
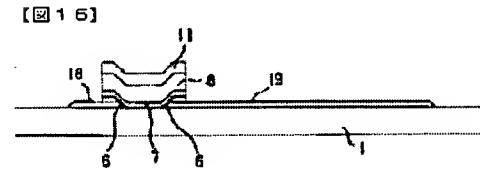
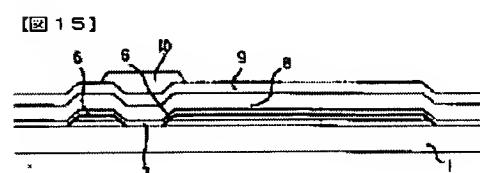
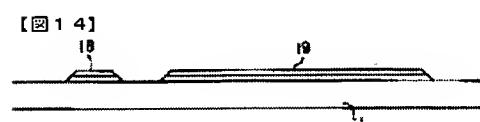
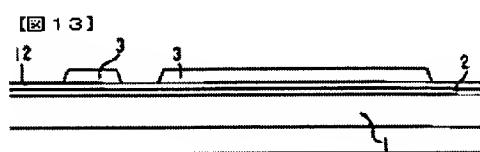
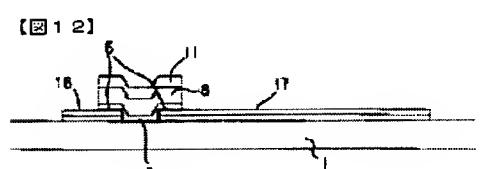
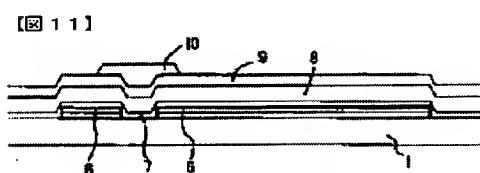
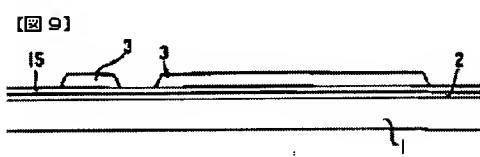
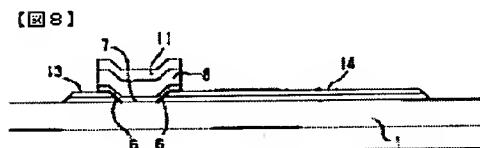
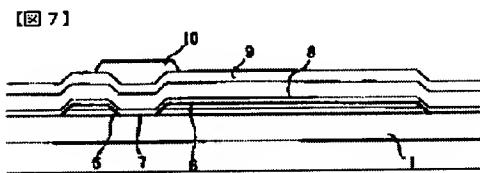
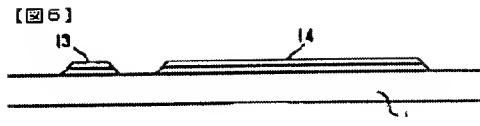
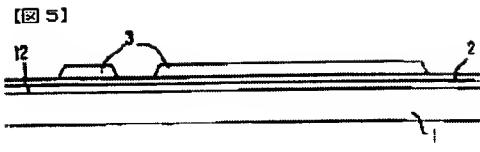


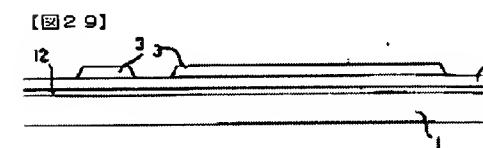
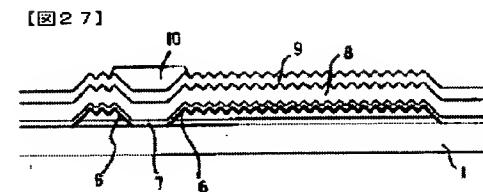
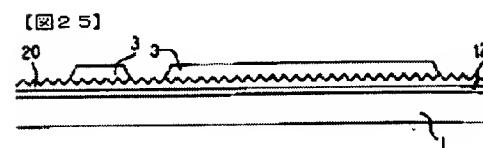
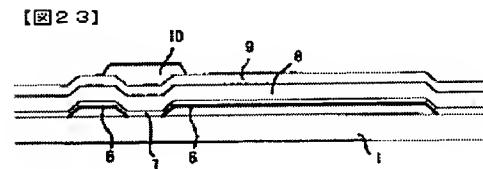
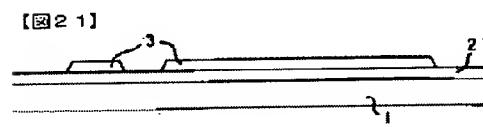
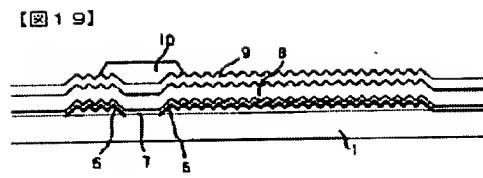
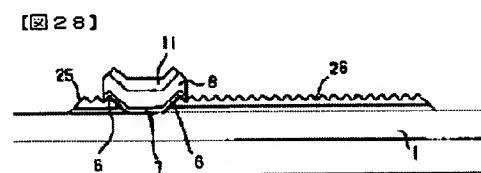
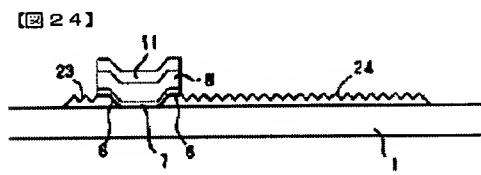
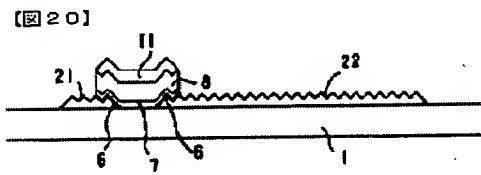
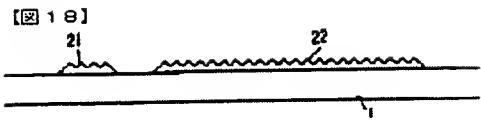
【図 3】



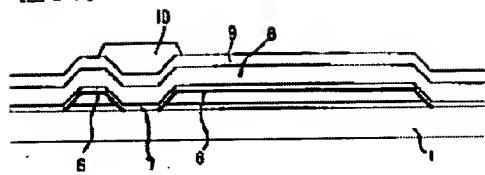
【図 4】



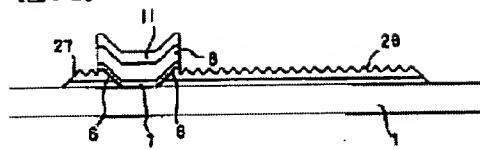




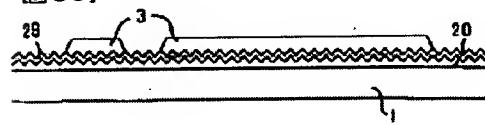
【図31】



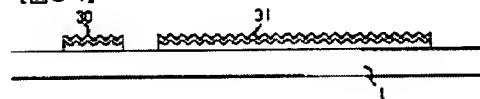
【図32】



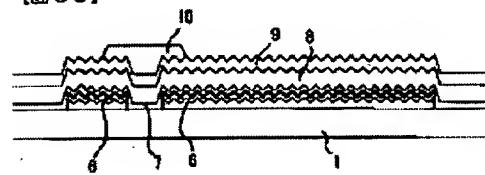
【図33】



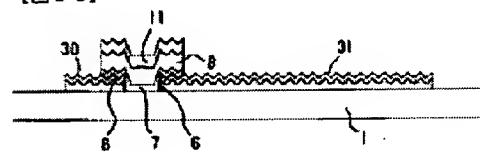
【図34】



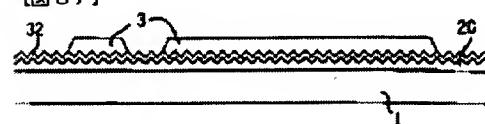
【図35】



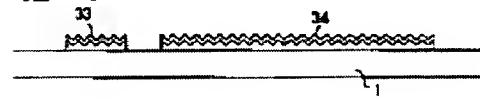
【図36】



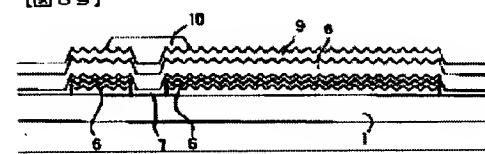
【図37】



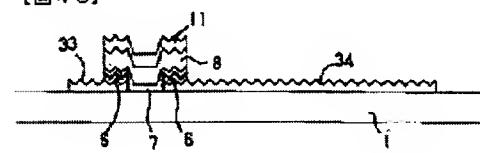
【図38】



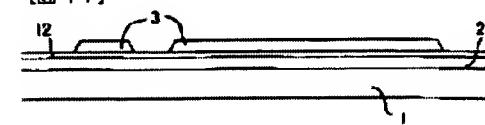
【図39】



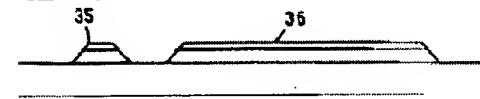
【図40】



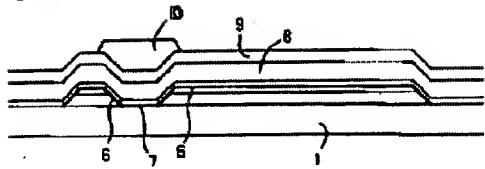
【図41】



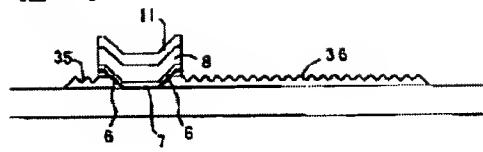
【図42】



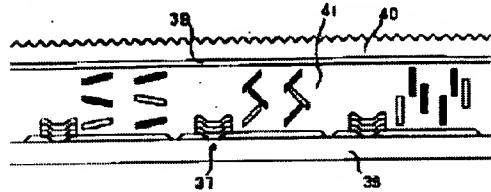
[図 4 3]



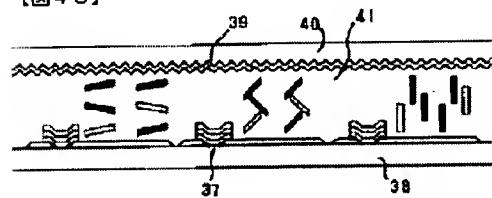
[図 4 4]



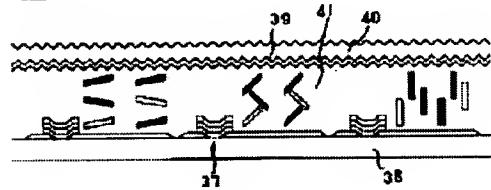
[図 4 5]



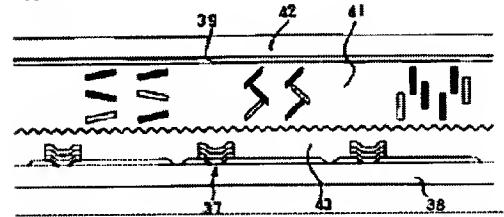
[図 4 6]



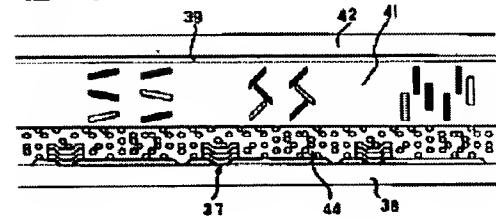
[図 4 7]



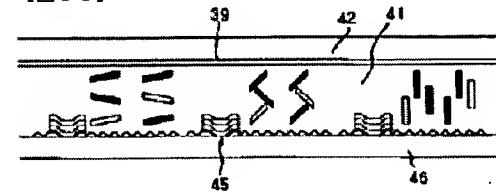
[図 4 8]



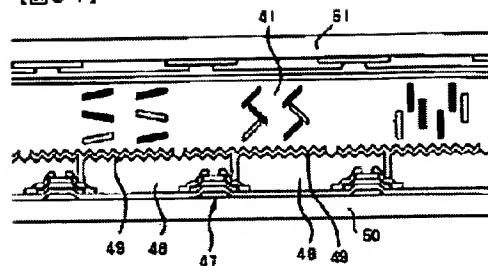
[図 4 9]



[図 5 0]



【図51】



フロントページの綴き

(51)Int.CI.6

識別記号 厅内整理番号

F I
H O 1 L 29/78

技術表示箇所

616J
626C

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.